

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-90517

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/092

7342-4M

H 0 1 L 27/ 08

3 2 1 B

審査請求 未請求 請求項の数8(全 10 頁)

(21)出願番号 特願平3-251714

(22)出願日 平成3年(1991)9月30日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 稲葉 聡

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72)発明者 高木 信一

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

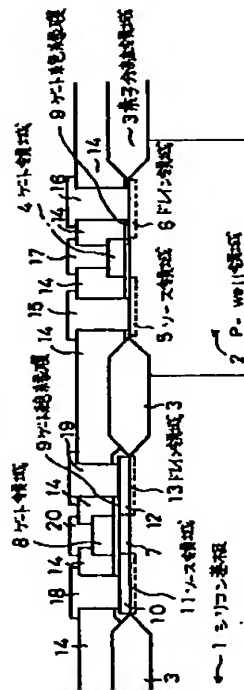
(74)代理人 弁理士 則近 憲佑

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】同一基板上にnチャネルトランジスタとpチャネルトランジスタを備えた半導体装置において、回路設計の自由度を増し、ホットキャリア劣化抑制や短チャネル効果抑制が可能な素子構造並びに製造方法を提供する。

【構成】電流駆動力をほぼ同じにするためnチャネルMISFETはシリコンで、pチャネルMISFETはシリコンゲルマニウム合金で構成し、トランジスタの占有面積をほぼ同じにした。



1

【特許請求の範囲】

【請求項1】同一基板上にチャネル絶縁ゲート型電界効果トランジスタとpチャネル絶縁ゲート型電界効果トランジスタを備えた半導体装置において、異なる材料を用いて両トランジスタを相補型に構成したことを特徴とする半導体装置。

【請求項2】前記半導体装置のpチャネルトランジスタは、基板半導体上に禁制帯幅の異なる半導体よりなるヘテロ接合を有し、禁制帯幅の狭い半導体薄膜上に積層されたゲート絶縁膜及びゲート電極を備えたゲート領域と、このゲート領域の両側にソース、ドレイン領域を有する絶縁ゲート型電界効果トランジスタからなり、前記半導体装置のnチャネルトランジスタは、基板半導体上、もしくは基板の導電型とは逆の不純物が添加され絶縁膜上に形成された半導体薄膜上に積層されたゲート絶縁膜及びゲート電極を備えたゲート領域と、このゲート領域の両側にソース、ドレイン領域を有する絶縁ゲート型電界効果トランジスタにより形成される事を特徴とする請求項1記載の半導体装置。

【請求項3】前記請求項2項のpチャネル絶縁ゲート型トランジスタのソース、ドレイン接合の接合面は、ヘテロ接合を構成する2種の半導体のうち、禁制帯幅の広い半導体中あるいは上記ヘテロ界面に存在していることを特徴とする請求項1記載の半導体装置。

【請求項4】基板半導体上に形成された該基板半導体よりも禁制帯幅の狭い半導体上にゲート絶縁膜及びゲート電極を備えたゲート領域と、このゲート領域の両側にソース、ドレイン領域を有するpチャネル絶縁ゲート型電界効果トランジスタと、基板半導体上、もしくは基板の導電型とは逆の不純物が添加され絶縁膜上に形成された半導体薄膜上に積層されたゲート絶縁膜及びゲート電極を備えたゲート領域と、このゲート領域の両側にソース、ドレイン領域を有するn型絶縁ゲート型電界効果トランジスタとにより形成される事を特徴する請求項1記載の半導体装置。

【請求項5】pチャネル絶縁ゲート型トランジスタのソース、ドレイン接合の接合面は、基板半導体中あるいは基板半導体と上記半導体薄膜層の界面に存在していることを特徴とする請求項4記載の半導体装置。

【請求項6】基板半導体上に該基板半導体よりも禁制帯幅の広い第1の半導体薄膜が形成され、この第1の半導体薄膜上に形成された第1の半導体薄膜よりも禁制帯幅の狭い第2の半導体薄膜上にゲート絶縁膜とゲート電極を備えたゲート領域と、このゲート領域の両側にソース、ドレイン領域を有するpチャネル絶縁ゲート型電界効果トランジスタと、

基板半導体上、もしくは基板の導電型とは逆の不純物が添加された絶縁膜上に形成された半導体薄膜上に積層されたゲート絶縁膜及びゲート電極を備えたゲート領域と、このゲート領域の両側にソース、ドレイン領域を有

2

するn型絶縁ゲート型電界効果トランジスタとにより形成される事を特徴とする請求項1記載の半導体装置。

【請求項7】pチャネル絶縁ゲート型トランジスタのソース、ドレイン接合の接合面は第1の半導体薄膜中あるいは第1の半導体薄膜と第2の半導体薄膜の界面に存在していることを特徴とする請求項6記載の半導体装置。

【請求項8】同一基板上にnチャネル絶縁ゲート型電界効果トランジスタとpチャネル絶縁ゲート型トランジスタを備えた半導体装置において、前記pチャネル絶縁ゲート型トランジスタのチャネル領域の形成工程は、基板とエピタキシャル成長することによって形成される工程、もしくは前記基板に対してイオン注入工程と加熱する工程のうちのいずれかを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は超小型の半導体装置およびその製造方法に係り、特にMIS形電界効果トランジスタに関する。

【0002】

【従来の技術】半導体素子を微細化していくこと、特に電界効果トランジスタのチャネル長を短縮することは素子面積を減らすことができ、さらに素子の電流駆動力を増大できるという利点がある。その反面、チャネル内部の電界の増大によりホットキャリアが生じこれがゲート絶縁膜にトラップされたり界面準位を形成したりして、しきい値や相互コンダクタンスなどの素子特性に変動を引き起こすことが知られている。

【0003】絶縁膜としてよく用いられているシリコン酸化膜のホットキャリアに対する障壁は、pチャネルトランジスタに対しての方がnチャネルトランジスタよりも高いのでホットキャリア耐性が良いことが知られている。しかし従来のnチャネルトランジスタとpチャネルトランジスタを同一基板上に備えた半導体装置、例えばシリコンを用いた相補型トランジスタにおいてはnチャネルトランジスタとpチャネルトランジスタとで電流駆動力が大きく異なるために、半導体集積回路の主要部分はnチャネルトランジスタで構成して必要なところはpチャネルトランジスタを用いて回路を構成するという方法をとっていた。これはキャリアである電子とホールとの移動度がバルクのシリコンの場合それぞれ典型的には $1500(\text{cm}^2/\text{V}\cdot\text{s})$ と $450(\text{cm}^2/\text{V}\cdot\text{s})$ 程度であることに由来していることはよく知られている。このことは例えばnチャネルトランジスタとpチャネルトランジスタとでゲート幅を変化させなければならない等、半導体集積回路におけるレイアウトの面で素子設計上の自由度を欠く原因となっていた。上記の相補型トランジスタ集積回路においては特に高速化を計るために、nチャネルトランジスタは表面チャネル型のトランジスタとし、pチャネルトランジスタは埋め込みチャネ

ル型のトランジスタにするなどして電流駆動力を増大させ、両方のトランジスタの電流駆動力をそろえる必要があった。

【0004】またpチャネルトランジスタにおいて埋め込みチャネル型のまま微細化していくとドレインアバランシェホットエレクトロン注入による実効チャネル長の減少が生じ、サブスレッショルド特性劣化やパンチスルー耐圧劣化が生じてしまうという問題点が例えばIEEE Trans. Electron Devices、ED-34、839、(1987)等に報告されている。これらはチャネル長を短くしたときに生じるいわゆる短チャネル効果を助長すると考えられるので、従来技術ではチャネル直下にパンチスルーストップを設けたりする必要があった。

【0005】更に短チャネル効果を抑制するためには基板不純物濃度の増大が不可欠であることが知られている。しかしながら余りに大きな基板不純物濃度、例えば $1.0 \times 10^{18} \text{ cm}^{-3}$ 程度になると、ソース・ドレイン領域と基板との間のpn接合の空乏層幅が狭くなるためにツェナー降伏の機構によるトンネル電流が生じ、接合リーク電流が増大してしまうという問題があった。また基板不純物濃度が増大すると結果的にしきい値の増大を招き、論理回路をこの半導体装置で構成した場合には論理振幅が減少してしまうという問題点があった。この問題に関しては最近ソース・ドレイン領域の接合面を禁制帯幅の大きな半導体中に置くことにより接合のトンネル・リーク電流を抑えようとするものが試みられてきた。

【0006】

【発明が解決しようとする課題】以上のようにnチャネルトランジスタとpチャネルトランジスタの電流駆動力が大きく異なることによって半導体集積回路の素子設計上の自由度が制限され、素子の微細化に関しても素子特性の変化を生じさせないような半導体装置、例えば相補型トランジスタを製造することが困難であるという問題点を有していた。更に短チャネル効果を抑制するために基板不純物濃度を増すソース・ドレイン領域と基板間のリーク電流が増大するという問題点があった。

【0007】本発明は上記従来技術の欠点を除去し、同一基板上においてnチャネルトランジスタとpチャネルトランジスタを有する半導体装置、特に相補型トランジスタにおいて素子構造設計上の自由度を増大すると共に、微細化による素子特性の変化を抑制し、ソース・ドレイン領域と基板間のリーク電流が増大するという問題を解決する方法を提供するものである。

【0008】

【課題を解決するための手段】上記目的を達成するために本発明においては、同一基板上にnチャネル絶縁ゲート型電界効果トランジスタとpチャネル絶縁ゲート型電界効果トランジスタを備えた半導体装置において、電流駆動力をほぼ同じにするために異なる材料を用いて両ト

ランジスタを構成し、各トランジスタの占有面積がほぼ同じであることを特徴とする相補型トランジスタを形成することを基本とする。

【0009】第1の発明は、該pチャネルトランジスタは基板半導体上に禁制帯幅の異なる半導体よりなるヘテロ接合を有し、禁制帯幅の狭い半導体薄膜上に積層されたゲート絶縁膜及びゲート電極を備えたゲート領域と、このゲート領域の両側にソース、ドレイン領域を有する絶縁ゲート型電界効果トランジスタからなり、該nチャネルトランジスタは基板半導体上、もしくは絶縁膜上に形成され、基板の導電型とは逆の不純物が添加された半導体薄膜上に積層されたゲート絶縁膜及びゲート電極を備えたゲート領域と、このゲート領域の両側にソース、ドレイン領域を有する絶縁ゲート型電界効果トランジスタにより形成されることを特徴としたものである。

【0010】更に前記ソース、ドレイン接合と基板間におけるリーク電流が問題となる基板不純物濃度においてはソース、ドレイン接合面が上記pチャネルトランジスタのヘテロ接合を構成する2種の半導体のうち、禁制帯幅の広い半導体中に存在することを特徴としたものとすることによって解決できる。

【0011】第2の発明は、同一基板上にnチャネルトランジスタとpチャネルトランジスタを備えた半導体装置において、基板半導体上に形成された該基板半導体よりも禁制帯幅の狭い半導体上にゲート絶縁膜及びゲート電極を備えたゲート領域と、このゲート領域の両側にソース、ドレイン領域を有するpチャネル絶縁ゲート型電界効果トランジスタと、基板半導体上、もしくは基板の導電型とは逆の不純物が添加され絶縁膜上に形成された半導体薄膜上に積層されたゲート絶縁膜及びゲート電極を備えたゲート領域と、このゲート領域の両側にソース、ドレイン領域を有するn型絶縁ゲート型電界効果トランジスタとにより形成される事を特徴としたものである。

【0012】更に前記ソース、ドレイン接合と基板間におけるリーク電流が問題となる基板不純物濃度においては、pチャネル絶縁ゲート型トランジスタのソース、ドレイン接合の接合面が、基板半導体中あるいは基板半導体と上記半導体薄膜層の界面に存在していることを特徴としたものとするによって解決できる。

【0013】第3の発明は同一基板上にnチャネルトランジスタとpチャネルトランジスタを備えた半導体装置において、基板半導体上に該基板半導体よりも禁制帯幅の広い第1の半導体薄膜が形成され、この第1の半導体薄膜上に形成された第1の半導体薄膜よりも禁制帯幅の狭い第2の半導体薄膜上にゲート絶縁膜とゲート電極を備えたゲート領域と、このゲート領域の両側にソース、ドレイン領域を有するpチャネル絶縁ゲート型電界効果トランジスタと、基板半導体上、もしくは基板の導電型とは逆の不純物が添加され絶縁膜上に形成された半導

体薄膜上に積層されたゲート絶縁膜及びゲート電極を備えたゲート領域と、このゲート領域の両側にソース、ドレイン領域を有するn型絶縁ゲート型電界効果トランジスタとにより形成される事の特徴としたものである。

【0014】更に前記ソース、ドレイン接合と基板間におけるリーク電流が問題となる基板不純物濃度においては、pチャネル絶縁ゲート型トランジスタのソース、ドレイン接合の接合面が第1の半導体薄膜中あるいは第1の半導体薄膜と第2の半導体薄膜の界面に存在していることを特徴としたものによって解決できる。

【0015】また全ての発明に共通するが、本発明の中で述べられたpチャネル絶縁ゲート型トランジスタのチャネル領域は基板とエピタキシャル成長することによって形成される工程か、または基板に対してイオン注入する工程と加熱する工程を含むことを特徴としたものである。

【0016】

【作用】本発明によれば、例えばシリコン基板上に基板とエピタキシャル成長されたゲルマニウム層やシリコンゲルマニウム合金層がpチャネルトランジスタのチャネル領域として形成され、また基板上の半導体もしくは不純物が添加され絶縁体上に形成された半導体がnチャネルトランジスタのチャネル領域として形成される。このチャネル領域はシリコン基板に対してゲルマニウムを選択的にイオン注入し、その後加熱する工程を用いて結晶再構成を行うことによって得られる。ゲルマニウムやシリコンゲルマニウム合金などのシリコンよりも禁制帯幅の狭い材料では、キャリアであるホールの有効質量がシリコン中のそれよりも小さいためにホール移動度がシリコンに比べて大きくなる。この結果として埋め込みチャネル型にすることなしにpチャネルトランジスタの電流駆動力を増大させることができ、シリコンを材料にしてnチャネルトランジスタを形成した場合に両トランジスタの電流駆動力とほぼ同じにできるような解が存在する。その結果として素子面積を両トランジスタでほとんど同じにできるため、回路設計の自由度を増すことができる。更に埋め込みチャネル形で生じるホットエレクトロン注入による素子特性変化や短チャネル効果も表面チャネル型にすることによって避けることができる。また半導体集積回路を構成するトランジスタをpチャネルトランジスタ主体にすることによって、よりホットキャリア耐性の大きい半導体装置を製造することも可能になりこの面からみても回路設計に柔軟性を増すことができる。

【0017】また素子を微細化するに当たり基板不純物濃度を増大することが必要なときには、ソース、ドレイン領域のpn接合をより禁制帯幅の大きいシリコン中に形成することによってツェナー降伏によるトンネル・リーク電流の増大を抑えることができる。更に基板半導体よりも禁制帯幅の大きな半導体中におくことにより、

接合のトンネル・リーク電流を低下させ、より短チャネル効果を抑制することができる。

【0018】

【実施例】以下、本発明の実施例を説明する。図1は本発明を用い、シリコン基板上に選択的に不純物が添加されて形成されたnチャネル絶縁ゲート型トランジスタと、素子分離領域を介して形成された不純物が添加されたシリコンゲルマニウム合金薄膜をチャネルとするpチャネル絶縁ゲート型トランジスタとからなる半導体装置の一実施例を示す断面図である。また、図2ならびに図3は本発明を用い、シリコン基板上に形成され不純物が添加されたシリコンゲルマニウム合金薄膜をチャネル領域とするpチャネル絶縁ゲート型トランジスタと、更にその上に堆積された絶縁膜上に形成され不純物が添加されたシリコン薄膜をチャネル領域とするnチャネル絶縁ゲート型トランジスタとからなる相補型トランジスタを形成した半導体装置の一実施例を示す断面図である。図2はゲート電極をpチャネルトランジスタとnチャネルトランジスタで各々備えており、図3はゲート電極が一つで両トランジスタに共通のものを備えたものである。図2、図3はpチャネルトランジスタの上部にnチャネルトランジスタを積層化し、素子領域面積低減をはかったものである。nチャネルトランジスタは薄膜SOI素子特性を用いているためバルクのnチャネルトランジスタとそれほど変わらない特性を得ることができる。

【0019】まず、図1を説明する。n型シリコン基板1上に素子分離領域酸化膜3が形成されており、nチャネルトランジスタ素子領域とpチャネルトランジスタ素子領域とが分離されている。nチャネルトランジスタ素子領域にはp-ウェル(well)領域2が形成されており、ゲート絶縁膜9を介してnチャネルMISFETのゲート電極4が形成されている。このゲート電極の両側に自己整合方式でソース領域を形成する高濃度n型シリコン拡散層5及びドレイン領域を形成する高濃度n型シリコン拡散層6が形成されている。

【0020】またpチャネルトランジスタ素子領域にはシリコン基板1と格子整合をとってn型シリコンゲルマニウム合金($\text{Si}_{1-x}\text{Ge}_x$)薄膜層7が形成され、ゲート絶縁膜9を介してpチャネルMISFETのゲート電極8が形成されている。このゲート電極の両側に自己整合方式でソース領域を形成する高濃度p型シリコンゲルマニウム拡散層10ならびに高濃度p型シリコン拡散層11、及びドレイン領域を形成する高濃度p型シリコンゲルマニウム拡散層12ならびに高濃度p型シリコン拡散層13が形成されている。

【0021】それぞれのMISFETが形成された基板上は絶縁膜14で覆われており、上記nチャネルトランジスタ素子領域のソース領域5、ドレイン領域6、及びゲート領域4の上部と、pチャネルトランジスタ素子領域のソース領域10、ドレイン領域12、及びゲート領

7

域8の上部において開口され、各々nチャネルトランジスタのソース金属電極15、ドレイン金属電極16、及びゲート金属電極17とpチャネルトランジスタのソース金属電極18、ドレイン金属電極19、及びゲート金属電極20が形成されている。

【0022】ここで図1はn型シリコン基板にpウェル(well)形成という場合を示したがp型シリコン基板でnウェル(well)形成やダブルウェル(double-well)形成でも同様な半導体装置が形成できることは明らかである。

【0023】次に図2について説明する。n型シリコン基板1上に素子分離領域酸化膜3が形成されており、pチャネルトランジスタ素子領域上にはシリコン基板1と格子整合をとってn型シリコンゲルマニウム合金($\text{Si}_{1-x}\text{Ge}_x$)薄膜層7が形成されている。その上に形成されたゲート絶縁膜9を介してpチャネルMISFETのゲート電極8が形成されている。このゲート電極8の両側に自己整合方式でソース領域を形成する高濃度p型シリコンゲルマニウム拡散層10ならびに高濃度p型シリコン拡散層11、及びドレイン領域を形成する高濃度p型シリコンゲルマニウム拡散層12ならびに高濃度p型シリコン拡散層13が形成されている。さらにソース電極として高濃度p型ポリシリコン22が形成され、素子分離領域3上にまで延びてきている。

【0024】nチャネルトランジスタ領域はその上に堆積された層間絶縁膜24と貼り合わせ法によって形成されたシリコン層23上に形成されている。シリコン層23はp型にドーパされているか、またはほとんど不純物がドーパされていないものを用いている。その上にゲート絶縁膜9を介してn型MISFETのゲート電極4が形成され、このゲート電極4の両側に自己整合方式でソース領域を形成する高濃度n型シリコン拡散層5及びドレイン領域を形成する高濃度n型シリコン拡散層6が形成されている。またnチャネルトランジスタの素子分離領域25が形成され、更にそれぞれのMISFETが形成された基板上は絶縁膜14で覆われている。上記の絶縁膜14はnチャネルトランジスタ素子領域のソース領域5、ドレイン領域6、ゲート領域4の上部と、pチャネルトランジスタの二つの素子分離領域の上部において開口され、各々nチャネルトランジスタのソース金属電極15、ドレイン金属電極16、及びゲート金属電極17とpチャネルトランジスタのソース金属電極18、及びドレイン金属電極19が形成されている。ここでnチャネルトランジスタのドレイン領域6とpチャネルトランジスタのドレイン領域12、13は層間絶縁膜上にドレイン金属電極16と19により電氣的に導通がとれている。またpチャネルトランジスタのゲート電極8は素子領域外にコンタクトを引き出してnチャネルトランジスタのゲート電極4及びゲート金属電極17と電氣的に導通がとれている。

8

【0025】次に、図3を説明する。n型シリコン基板1上に素子分離領域酸化膜3が形成されており、nチャネルトランジスタ素子領域上にはシリコン基板1と格子整合をとってn型シリコンゲルマニウム合金($\text{Si}_{1-x}\text{Ge}_x$)薄膜層7が形成されている。その上に形成されたゲート絶縁膜9を介して両MISFETに共通となるゲート電極8が形成されている。このゲート電極8の両側に自己整合方式でソース領域を形成する高濃度p型シリコンゲルマニウム拡散層10ならびに高濃度p型シリコン拡散層11、及びドレイン領域を形成する高濃度p型シリコンゲルマニウム拡散層12ならびに高濃度p型シリコン拡散層13が形成されている。ゲート電極には側壁絶縁膜21が形成されており、さらにソース電極とドレイン電極として高濃度p型ポリシリコン22が形成され各々素子分離領域3上にまで延びてきている。

【0026】nチャネルトランジスタのチャネル領域はシリコン層23であり、これは図2の場合と同様にして、堆積された層間絶縁膜24とソース・ドレイン電極のp型ポリシリコン層22とゲート絶縁膜9の上に貼り合わせ法によって形成されている。n型トランジスタのソース領域は高濃度n型シリコン拡散層5で、ドレイン領域は高濃度n型シリコン拡散層6で形成されている。またそれぞれのMISFETが形成された基板上は絶縁膜14で覆われている。上記の絶縁膜14はnチャネルトランジスタ素子領域のソース領域5並びにドレイン領域6の上部と、pチャネルトランジスタのソース領域側とドレイン領域側の素子分離領域の上部において開口され、各々nチャネルトランジスタのソース金属電極15、ドレイン金属電極16とpチャネルトランジスタのソース金属電極18、ドレイン金属電極19が形成されている。ここでnチャネルトランジスタのドレイン領域6とpチャネルトランジスタのドレイン領域12はドレイン金属電極16と19とで電氣的に簡単に導通をとることができ、相補型トランジスタを実現している。また共通のゲート電極8は素子領域外にコンタクトを引き出している。図1の半導体装置の製造工程を具体的に示した断面図が図4(a)～(g)である。これらの工程断面図を用いて次に具体的な製造工程を説明する。

【0027】まずpチャネルトランジスタ領域をフォトレジストでマスクして、nチャネルトランジスタ領域にホウ素のイオン注入と熱拡散を行いpウェル(well)領域2を形成する(図4(a))。次に半導体集積回路製作の通常の工程を用いてフォトレジストを剥離してシリコン基板1上に Si_3N_4 層26をマスクとして素子分離絶縁膜3を形成して素子分離を行う。その後、フォトレジストを用いて Si_3N_4 層26をnチャネルトランジスタ領域にのみ選択的に残してからフォトレジストを剥離し(図4(b))、気相エピタキシャル成長法によってpチャネルトランジスタ領域のみに選択的のシリコンゲルマニウム合金層あるいはゲルマニウム薄膜層

7を厚さ50~1000オングストローム成長させる(図4(c))。このとき選択成長のためのマスクとしては SiO_2 を用いる工程も考えられる。このとき用いられるガス SiH_4 (モノシラン)と GeH_4 (モノゲルマン)を主体としたものであり、n型にドーピングするためには AsH_3 (アルシン)または PH_3 (ホスフィン)を用いる。次にnチャネルトランジスタ領域のマスク Si_3N_4 層26をCDE法でエッチングし、新たに両トランジスタ素子領域にCVD法や熱酸化法によりシリコン酸化膜9を厚さ50~200オングストロームに形成する。その上にポリシリコンをCVD法によって堆積しパターニングを行ってゲート電極4と8を形成する(図4(d))。この形成されたゲートに対して自己整合的にnチャネルトランジスタ素子領域には砒素を、pチャネルトランジスタ素子領域にはホウ素をいまだと同様のパターニングを用いて選択的にイオン注入してそれぞれのトランジスタのソース領域とドレイン領域を形成し、RTA(Rapid Thermal Annealing)法により1000℃、30秒程度の活性化アニーリングを行う(図4(e))。この後、層間絶縁膜としてシリコン酸化膜14をCVD法により堆積し、パターニングを行ってコンタクト孔を開口し(図4(f))、最後に金属薄膜をスパッタリング法によって堆積することにより、両トランジスタのソース金属電極15、18とドレイン金属電極16、19とゲート金属電極17、20を形成して完成する(図1)。

【0028】以上述べてきた製造工程は従来の相補型トランジスタの製造工程をもとにしたものであり、シリコンゲルマニウム合金層7を形成する工程を付け加えただけであるから既存の方法がそのまま使えるため有利である。

【0029】次に図2の半導体装置の製造工程を具体的に示した断面図が図5(a)~(e)である。図2の場合、pチャネルトランジスタを形成する工程までは図1の場合とほぼ同じであるため省略する。通常よく行われるゲート側壁残し工程を用いてゲート電極8に側壁絶縁膜21を形成し、RIE(反応性イオンエッチング)法を用いて自己整合的にソース領域とドレイン領域の酸化膜を選択的に除去する(図5(a))。次にp型にドーピングされたポリシリコン22を全面的厚さ1000オングストローム程度CVD法で堆積した後、層間絶縁膜としてシリコン酸化膜24をやはりCVD法で堆積し、エッチバック法によってゲート上部のポリシリコンを除去し平滑にする(図5(b))。これはゲート電極とソース、及びドレイン電極が電気的に絶縁状態にするためである。この後更に層間絶縁膜24を堆積して、n型トランジスタのチャネル領域となるシリコン層23を薄膜SOI素子形成の貼り合わせ法によって形成する。このシリコン層23はp型にドーピングされたものであるか、またはほとんど不純物がドーピングされないものを

用いている。後者のものの方がキャリアの不純物散乱が小さく、電流駆動力を向上するという点で有利である。貼り合わせた後でこのシリコン層は薄膜SOI素子として機能するのに十分な厚さになるまでエッチングされる。更にその上にゲート絶縁膜9を形成し、nチャネルトランジスタの素子分離領域25を形成する。この素子分離領域25はいわゆるトレンチ素子分離を用いる(図5(c))。あとは通常の方法でゲート電極4を形成し自己整合的にnチャネルトランジスタのソース領域5、ドレイン領域6を形成してその上に更に層間絶縁膜14を堆積する(図5(d))。最後にコンタクト孔を開口し(図5(e))、金属薄膜をスパッタリング法により堆積することにより、nチャネルトランジスタのソース金属電極18、ドレイン金属電極16、及びゲート金属電極17とpチャネルトランジスタのソース金属電極18、及びドレイン金属電極19を形成して完成する(図2)。pチャネルトランジスタのソース金属電極18は素子分離領域2の上で形成し、ドレイン金属電極17はnチャネルトランジスタのドレイン金属電極16と電気的に導通をとることによって相補型トランジスタを実現している。またpチャネルトランジスタのゲート電極8はチャネル領域外にコンタクトを引き出してnチャネルトランジスタのゲート電極4及びゲート金属電極17と電気的に導通がとれている。

【0030】次に図3の半導体装置の製造工程を具体的に示した断面図が図6(a)~(e)である。図3の場合も、pチャネルトランジスタを形成する工程までは図2の場合とほぼ同じであるため省略する。図5と同様に通常よく行われる側壁残し工程を用いてゲート8に側壁絶縁膜21を形成し、RIE(反応性イオンエッチング)法を用いて自己整合的にソース領域とドレイン領域の酸化膜を選択的に除去する(図6(a))。この時ゲート8に用いられる材料はnチャネルトランジスタとpチャネルトランジスタのしきい値を合わせるために注意深く選ばれる必要がある。 $\text{Si}_{1-x}\text{Ge}_x$ 系のpチャネルトランジスタはSi系のpチャネルトランジスタよりもバンドギャップが小さくしきい値を低くできるために、ゲート材料としてはショットキー障壁高さがシリコンのバンドギャップの値の半分よりも小さな金属、もしくはそのような金属のシリサイドを用いる必要がある。例えばTiや TiSi_2 、 MnSi_2 などを用いることができる。

【0031】次にp型にドーピングされたりポリシリコン22を全面的に厚さ1000オングストローム程度CVD法で堆積した後、層間絶縁膜24となるシリコン酸化膜をやはりCVD法で堆積しエッチバック法によってゲート上部のポリシリコンを除去し平滑にする(図6(b))。これはゲート電極とソース及びドレイン電極が電気的に絶縁状態にするためとnチャネル薄膜SOI素子を形成するためである。この後、nチャネルトラン

11

ジスタのゲート絶縁膜9を形成し、その上に薄膜SOI素子形成の貼り合わせ法を用いてシリコン層23を形成する(図6(c))。このシリコン層は図5と同様薄膜SOI素子として十分働く厚さまでエッチングされる。次にこのシリコン層23のゲート電極8の上部に当たる部分にフォトリソマスク25を載せてリンをイオン注入してアニールすることによってソース領域5とドレイン領域6を形成する(図6(d))。その後フォトリソマスク25を除去して、nチャネルトランジスタの素子分離領域を形成するためにトレンチを掘り、素子領域全体に層間絶縁膜14をCVD法により堆積する。その後再びパターニングを行ってコンタクト孔を開口する(図6(e))。最後に金属薄膜をスパッタリング法により堆積することにより両トランジスタのソース金属電極18、15とドレイン電極19、17形成して完成する(図3)。ここで図には記していないがゲート電極8はチャネル領域外にコンタクトを引き出してきている。図2、図3の場合には、半導体集積回路を構成するトランジスタをp型を主体としたものとし、必要なところだけn型トランジスタを薄膜SOI素子とすることによって全体としてホットキャリア耐性の良いものを構成することができる。

【0032】ここでいまで述べてきたSi_{1-x}Ge_x層7の形成方法としては選択エピタキシャル成長法を用いてきたが、これらの層は基板シリコンに対してゲルマニウム原子をイオン注入し、その後加熱する工程を用いて結晶再構成することによっても得られる。この方法では選択エピタキシに比べて簡単に形成することが可能である。

【0033】以上述べてきた実施例ではヘテロ接合としてSi/Si_{1-x}Ge_xの場合であったが、これらに限るものでなく例えばSi/Ge、Si/GaAs/Si_{1-x}Ge_xとかも考えられる。特にSi/GaAs/Si_{1-x}Ge_xにおいては前述したようにソース・ドレイン領域の接合面をGaAs層内に形成することによって接合リーク電流を単なるSi/Si_{1-x}Ge_xの場合よりも抑制することができる。

【0034】その他考えられる組み合わせは例えばGaAs/Si_{1-x}Ge_x、GaP/Si_{1-x}Ge_x、Si/SiC/Si、Si/GaP/Si_{1-x}Ge_x、Si/Al_{1-x}Ga_xAs/Si_{1-y}Ge_yなども用いることができる。また以上の例では途中の製造工程においてLDD(Low Doped Drain)構造等と併用することにより、更に高いホットキャリア耐性が得られることは明らかである。

【0035】

【発明の効果】以上述べてきたように本発明によれば、同一基板上においてnチャネルトランジスタとpチャネルトランジスタを有する半導体装置において、両トランジスタの電流駆動力をほとんど同じにすることによって

12

素子面積をほとんど同じにできるために、レイアウトの点で素子設計の自由度を大幅に増大させることができると共に微細化による素子特性の変化を抑制できる。更に基板不純物濃度を増加させた場合でもソース・ドレイン領域と基板間のリーク電流を減少させることができ、従来技術の欠点を補うには極めて有効である。

【図面の簡単な説明】

【図1】 本発明に関し、一つの面内に形成されたpチャネル絶縁ゲート型トランジスタと、nチャネル絶縁ゲート型トランジスタとを示す半導体装置の断面図。

【図2】 本発明に関し、pチャネル絶縁ゲート型トランジスタと、その上に積層されたnチャネル絶縁ゲート型トランジスタとからなる(ゲート電極が2個ある)半導体装置を示す断面図。

【図3】 本発明の実施例におけるpチャネル絶縁ゲート型トランジスタと、その上に積層されたnチャネル絶縁ゲート型トランジスタとからなる(ゲート電極が1個の)半導体装置を示す断面図。

【図4】 図1に示した実施例の製造工程断面図。

【図5】 図2に示した実施例の製造工程断面図。

【図6】 図3に示した実施例の製造工程断面図。

【符号の説明】

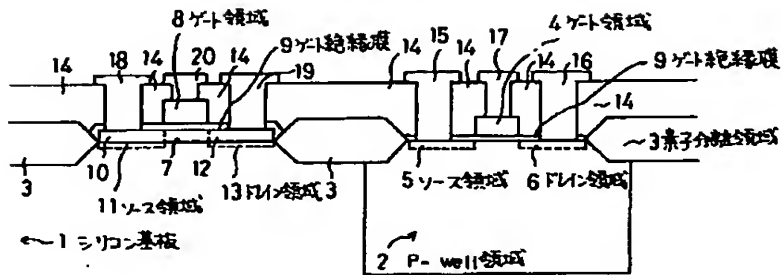
- 1 n型シリコン基板
- 2 p-well領域
- 3 素子分離領域絶縁膜
- 4 nチャネルトランジスタのゲート領域
- 5 nチャネルトランジスタのソース領域
- 6 nチャネルトランジスタのドレイン領域
- 7 n型シリコンゲルマニウム薄膜層
- 8 pチャネルトランジスタのゲート領域
- 9 ゲート絶縁膜
- 10 pチャネルトランジスタのソース領域
(n型シリコンゲルマニウム薄膜層内)
- 11 pチャネルトランジスタのソース領域
(n型シリコン基板内)
- 12 nチャネルトランジスタのドレイン領域
(n型シリコンゲルマニウム薄膜層内)
- 13 pチャネルトランジスタのドレイン領域
(n型シリコン基板内)
- 14 層間絶縁膜
- 15 nチャネルトランジスタのソース金属電極領域
- 16 nチャネルトランジスタのドレイン金属電極領域
- 17 nチャネルトランジスタのゲート金属電極領域
- 18 pチャネルトランジスタのソース金属電極領域
- 19 pチャネルトランジスタのドレイン金属電極領域
- 20 pチャネルトランジスタのゲート金属電極領域
- 21 ゲート側壁絶縁膜
- 22 ポリシリコン電極領域
- 23 シリコン層
- 24 層間絶縁膜(pチャネルトランジスタ)

13
25 フォトリジストマスク

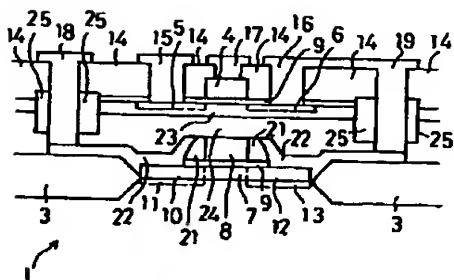
26 Si_3N_4 層

14

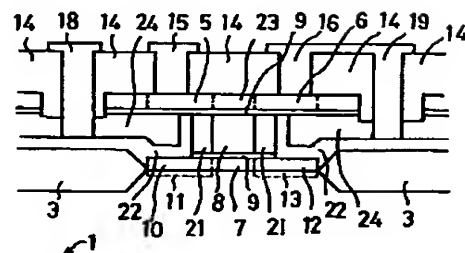
【図1】



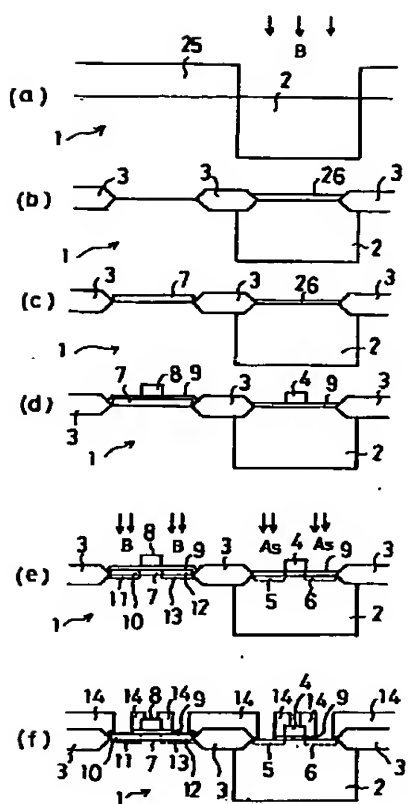
【図2】



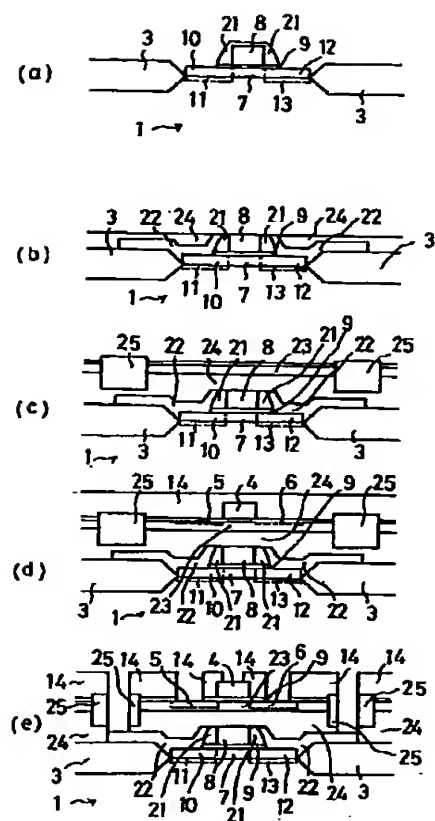
【図3】



【図4】



【図5】



【図6】

